



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0043863  
Application Number

출원 년 월 일 : 2003년 06월 30일  
Date of Application JUN 30, 2003

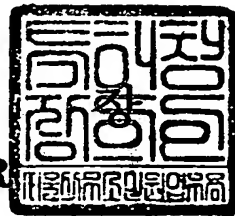
출원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      07      29  
년      월      일

특      허      청

COMMISSIONER



【서지사항】

【서류명】 특허출원서  
 【권리구분】 특허  
 【수신처】 특허청장  
 【참조번호】 0008  
 【제출일자】 2003.06.30  
 【발명의 명칭】 D D R S D R A M에서의 포스트앰블 링잉 현상 방지 방법  
 【발명의 영문명칭】 A method for masking the postamble ringing in DDR SDRAM  
 【출원인】  
   【명칭】 주식회사 하이닉스반도체  
   【출원인코드】 1-1998-004569-8  
 【대리인】  
   【성명】 강성배  
   【대리인코드】 9-1999-000101-3  
   【포괄위임등록번호】 1999-024436-4  
 【발명자】  
   【성명의 국문표기】 이근일  
   【성명의 영문표기】 LEE, Geun Il  
   【주민등록번호】 680511-1029536  
   【우편번호】 449-900  
   【주소】 경기도 용인시 기흥읍 신갈리 165 도현마을 현대아파트 201-205  
   【국적】 KR  
 【심사청구】 청구  
 【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)  
 【수수료】  
   【기본출원료】 20 면 29,000 원  
   【가산출원료】 3 면 3,000 원  
   【우선권주장료】 0 건 0 원  
   【심사청구료】 10 항 429,000 원  
   【합계】 461,000 원  
 【첨부서류】 1. 요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

본 발명은 DDR SDRAM 에서의 라이트 동작시 포스트앰블 링잉 현상으로 인하여 유효하지 않은 데이터가 라이트되는 현상을 제거하는 방법에 관한 것이다.

본 발명에 따른 메모리 장치에서의 포스트앰블 링잉 현상 방지 방법은 외부로부터 인가된 데이터를 데이터 버퍼를 통하여 데이터 입력 래치에 저장하고 정렬하는 단계; 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록 상기 데이터 입력 래치를 제어하는 단계; 데이터 입력 래치에 저장된 데이터를 데이터 입출력 감지 증폭기로 전송하는 단계; 데이터 입출력 감지 증폭기에 전달된 데이터를 글로벌 입출력 라인으로 전달한 후에 상기 데이터 입력 래치가 새로운 데이터를 수신할 수 있도록 하는 단계로 이루어진다.

본 발명에 따른 방법으로 포스트앰블의 링잉 현상에 의한 오동작을 방지하는 회로를 구성하는 경우, data rate 400MHz 이상의 고속 동작에서도 안정적으로 라이트 동작을 할 수 있으며, 또한, 도 7에서 알 수 있듯이, tDQSS가 0.75tCK 내지 1.25tCK 인 조건하에서 안정적인 라이트 동작을 수행할 수 있다.

### 【대표도】

도 3

**【명세서】****【발명의 명칭】**

DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법{A method for masking the postamble ringing in DDR SDRAM}

**【도면의 간단한 설명】**

도 1은 일반적인 포스트앰블 링잉 현상을 설명하기 위한 타이밍도.

도 2는 이러한 포스트앰블 링잉 현상에 의한 동작 오류를 방지하기 위하여 사용되고 있는 일반적인 데이터 입력단의 블록도.

도 3은 메모리 장치에서의 포스트앰블 링잉 현상 방지를 위한 본 발명에 따른 데이터 입력부의 블록도.

도 4는 본 발명에 따른 링잉 현상 차단부의 일실시예.

도 5는 본 발명에 따른 링잉 현상 차단부의 제 2 실시예.

도 6은 본 발명에 따른 링잉 현상 차단부의 제 3 실시예.

도 7a, 7b는 도 3 내지 6에 사용된 신호의 타이밍도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 메모리 장치에서의 포스트앰블 링잉 현상 방지 방법에 관한 것으로, 특히 DDR SDRAM에서의 라이트 동작시 포스트앰블 링잉 현상으로 인하여 유효하지 않은 데이터가 라이트 되는 현상을 제거하는 방법에 관한 것이다.



- <9> 일반적으로, DDR SDRAM 에서 라이트 동작을 수행하는 경우, 데이터는 메모리 컨트롤러로부터 출력되는 DQS 신호에 동기되어 메모리 장치내의 글로벌 입출력 라인으로 전달된다. 그런데, 메모리 컨트롤러가 DQS 신호를 메모리 장치로 전송하는 경우, 포스트앰블(postamble)후에 링잉(ringing)현상이 발생하는 경우가 있는데, 이 경우 메모리 장치는 잘못된 데이터(Invalid data)를 라이트할 수 있어 오동작이 초래될 수 있다.
- <10> 이하, 도면을 참조하여 포스트앰블 이후에 초래되는 링잉 현상에 대하여 설명하기로 한다.
- <11> 도 1은 일반적인 포스트앰블 링잉 현상을 설명하기 위한 타이밍도로서, CLK는 DDR SDRAM 에 인가되는 외부 메인 클락을 나타내고, DQS 신호는 메모리 컨트롤러로부터 인가되는 신호로서 DQS 신호의 라이징 에지 및 폴링 에지에 동기되어 데이터(DQ)가 인가되며, DQ는 메모리 장치에 인가되는 데이터를 나타낸다. 또한, tDQSS는 라이트 커맨드가 인가된 후부터 첫번째 DQS 신호의 라이징 에지가 발생하기까지의 시간을 나타내며, 일반적으로 tDQSS는  $0.75t_{CK}$  내지  $1.25t_{CK}$ 으로 정해진다. 여기서, tCK는 외부 메인클락(CLK)의 주기를 나타낸다. 참고로, 도 1에 있어서, 순차적으로 입력되는 데이터(DQ)는 1, 2, 3, 4로 표시하였으며, 5, 6은 링잉 현상에 의하여 인가될 수 있는 비유효 데이터(Invalid data)를 의미한다.
- <12> 일반적인 라이트 동작에 있어서, 첫번째 DQS 신호의 라이징 에지 및 폴링 에지에 동기되어 입력되는 데이터(1, 2)는 외부 메인클락(CLK)의 A 시점에 동기되어 데이터 입출력 감지 증폭기의 입력단으로 전송된다. 또한, 두번째 DQS 신호의 라이징 에지 및 폴링 에지에 동기되어 입력되는 데이터(3, 4)는 외부 메인클락(CLK)의 B 시점에 동기되어 데이터 입출력 감지 증폭기의 입력단으로 전송된다.



- <13> 그런데, 도면에서와 같이 라이트 포스트앰블 이후에 링잉 현상(즉, DQS 신호의 불안정한 천이 상태)이 발생하는 경우, DQS 신호를 받아들이는 DQS 버퍼는 이를 유효한 DQS 신호로 판단한다. 이 때문에, 링잉 현상에 의하여 발생된 DQS 신호의 라이징 및 폴링 에지에 동기되어 DQ 상의 비유효한 전압 레벨(5, 6)은 데이터 입력 래치에 저장된 유효 데이터(3, 4)를 대체하게 된다. 따라서, 비유효한 데이터(5, 6)가 외부 메인클락(CLK)의 B 시점에서 동기되어 데이터 입출력 감지 증폭기의 입력단으로 전송되는 오류가 초래된다.
- <14> 도 2는 이러한 포스트앰블 링잉 현상에 의한 동작 오류를 방지하기 위하여 사용되고 있는 일반적인 데이터 입력단의 블록도를 도시한다.
- <15> 도 2에 도시된 바와같이, 종래의 경우, 링잉 현상을 방지하기 위하여, DQS 래치로부터 출력되는 마지막 DQS 신호(도 1의 경우 두번째 DQS 신호의 폴링 에지를 의미한다)의 폴링 에지가 발생하는 경우, 이를 수신하는 DQS 래치 제어부(dis dsb)를 이용하여 DQS 래치를 디스에이블시켜 링잉 현상에 의한 동작 오류를 방지하고 있다.
- <16> 그러나, 종래의 이러한 방식은  $t_{DQSS}$ 가  $0.75t_{CK}$  내지  $1.25t_{CK}$  인 조건하에서는 안정적인 라이트 동작을 수행하기 어려운 점이 있었다. 왜냐하면, DQS 폴링 신호의 경우, 이를 입력으로 받아서 버퍼를 디스에이블시키고, 그 다음의 DQS 폴링 신호의 입력 전에 버퍼를 대기 상태로 만들어 주어야 하는 데, 이에 대한 타이밍을 정확히 제어하기가 불가능하여 고속 동작시 입력신호가  $0.75t_{CK} \sim 1.25t_{CK}$  이후에 발생하는 넓은 범위의 링잉 현상을 완전히 극복하지 못하는 경우가 발생한다.
- <17> 또한, DQS 버퍼의 폴링 신호만을 제어하는 경우, 외부 메인클락(CLK)과 대비하여 볼 때 DQS 신호의 라이징과 폴링시 타이밍 미스매치가 발생하게 된다. 이 경우, PVT (Process, Voltage, Temperature)변화에 따른 외부 메인클락(CLK)에 대비하여 DQS 신호의 라이징 및 폴링



타이밍을 동일하게 제어하기 힘들어 고속 동작의 메모리 장치에는 적용하기 어려운 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 메모리 장치에서의 라이트 동작시 초래되는 링잉현상에 의한 오류 데이터의 입력을 방지할 수 있으며,  $t_{DQSS}$ 가  $0.75t_{CK}$  내지  $1.25t_{CK}$  인 조건하에서 안정적인 라이트 동작을 수행할 수 있도록 한 메모리 장치에서의 포스트앰블 링잉 현상 방지 방법을 제공하고자 하는 것이다.

**【발명의 구성 및 작용】**

<19> 본 발명에 따른 메모리 장치에서의 포스트앰블 링잉 현상 방지 방법은 외부로부터 인가된 데이터를 데이터 버퍼를 통하여 데이터 입력 래치에 저장하고 정렬하는 단계; 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록 상기 데이터 입력 래치를 제어하는 단계; 데이터 입력 래치에 저장된 데이터를 데이터 입출력 감지 증폭기로 전송하는 단계; 데이터 입출력 감지 증폭기에 전달된 데이터를 글로벌 입출력 라인으로 전달한 후에 상기 데이터 입력 래치가 새로운 데이터를 수신할 수 있도록 하는 단계로 이루어진다.

<20> 본 발명에서, 단계(b)에서, 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록 상기 데이터 입력 래치를 제어하는 신호의 인에이بل 구간을 제어 할 수 있다.

<21> 또한, 본 발명에 따른 메모리 장치에서의 포스트앰블 링잉 현상 방지 방법은 (a) 외부로부터 인가된 데이터를 데이터 버퍼를 통하여 데이터 입력 래치에 저장하고 정렬하는 단계, (b) 데이터 입력 래치에 저장된 데이터가 데이터 입출력 감지 증폭기를 통하여 글로벌 입출력 라인



으로 전달되기 전까지 상기 데이터 값을 유지할 수 있도록 상기 데이터 입력 래치를 제어하는 단계로 이루어진다.

<22> 본 발명은 상기 (b) 단계 후에, 데이터 입력 래치는 새로운 데이터를 수신할 수 있는 상태로 되는 단계를 더 구비한다.

<23> 본 발명에 따른 다른 실시예인 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법은 (a)DQS 버퍼를 통하여 DQS 신호를 수신하고, 데이터 입력 버퍼를 통하여 복수개의 데이터를 수신하는 단계;(b)상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 DQS 래치에 저장하는 단계;(c)상기 DQS 신호의 라이징 에지에 동기되어 제 1 신호를 발생시키고, 상기 DQS 신호의 폴링 에지에 동기되어 제 2 신호를 발생시키는 단계;(d)상기 제 1 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기복수개의 데이터중에서 첫번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;(e)상기 제 2 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기복수개의 데이터중에서 두번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;(f)상기 제 2 신호의 폴링 에지에 동기되어 상기 데이터 입력 래치에 저장된 상기 첫번째 및 두번째 데이터를 데이터 입력 입출력 감지 증폭기로 전달하는 단계를 구비하며, (g)상기 단계(d)에서의 상기 제 1 신호의 라이징 에지에 동기되어 발생하는 제어신호를 이용하여 상기 DQS 래치의 동작을 제어한다.

<24> 본 발명에 있어서, 상기 제어 신호가 하이 레벨로 인에이블 상태를 유지하는 동안, 상기 DQS 래치의 동작을 차단한다.

<25> 본 발명에 있어서, 상기 제어 신호는 상기 데이터 입력 감지 증폭기를 인에이블시키는 데이터 입력 스트로브 펄스신호에 의하여 디스에이블된다.

- <26> 본 발명에 있어서, 상기 제1 신호의 라이징 에지에 동기되어 상기 제어 신호를 발생하는 링잉 현상 차단부는 자체의 지연 시간을 조절하여, 상기 제어 신호의 인에이블 구간을 조절할 수 있다.
- <27> (실시예)
- <28> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.
- <29> 도 3은 메모리 장치에서의 포스트앰블 링잉 현상 방지를 위한 본 발명에 따른 데이터 입력부의 블록도를 도시한다.
- <30> 도 3에서, DQS 버퍼(300)는 DQS 신호를 수신하여 버퍼링하는 장치이고, DQS 래치(310)는 DQS 버퍼(300)로부터 출력된 신호를 수신하여 래치하는 기능을 갖는다.
- <31> 데이터 입력 버퍼인 Din 버퍼(320)는 데이터(DQ)를 수신하여 버퍼링하는 장치이고, 데이터 입력 래치인 Din 래치(330)는 Din 버퍼(320)로부터 출력된 신호를 수신하여 래치하는 기능을 갖는다.
- <32> 데이터 입출력 감지 증폭기인 Din IOSA(350)는 데이터 입력 버퍼인 Din 래치(330)로부터 출력되는 데이터를 수신하여 증폭한 다음, 그 증폭된 데이터를 글로벌 입출력 라인으로 전달하는 기능을 갖는다.
- <33> 마지막으로, 본 발명의 특징부인 링잉 현상 차단부(340)는 DQS 래치로부터 출력되는 DQS 신호의 폴링 에지가 발생하는 경우, 이를 수신하여 Din 래치(330)의 동작을 제어하는 신호(Dis\_dqs)를 출력한다.
- <34> 이하, 도 3에 도시된 회로의 동작을 설명한다.



- <35> 라이트 동작에 있어서, 외부로부터 입력되는 첫번째 DQS 신호의 라이징 에지와 폴링 에지에 동기되어 Din 래치(330)에 데이터(DQ: 예컨대 도 1의 데이터 1, 2)가 저장된다.
- <36> Din 래치(330)에 저장된 데이터(DQ)는 DQS 래치(310)로부터 출력되는 DQS 신호의 폴링 에지에 동기되어 정렬(alignment)된 다음, Din IOSA(350)으로 인가된다. 여기서, DQS 래치(310)로부터 출력되는 DQS 신호의 폴링 에지에 동기되고 정렬되어 Din IOSA(350)으로 인가되는 데이터는 `algn_f` 로 표시하였다.
- <37> 다음, Din IOSA(350)에 저장된 데이터는 Din IOSA(350)의 동작을 인에이블시키는 데이터인 스트로브 펄스 신호(data in strobe pulse: `dinstbp`)에 의하여 글로벌 입출력 라인으로 데이터를 전달한다.
- <38> 상기의 동작은 두번째 DQS 신호의 라이징 에지와 폴링 에지에 동기되어 Din 래치(330)에 데이터(DQ: 예컨대 도 1의 데이터 3, 4)에도 동일하게 적용된다.
- <39> 참고로, DQS 신호에 의하여 제 1신호와 제 2 신호(`dsrt2`, `dsft2`)가 발생하며, 제 1 신호는 DQS 신호의 라이징 시점에 동기되어 발생하며, 제 2 신호는 DQS 신호의 폴링 시점에 동기되어 발생한다. 그리고, 데이터 입력 래치로의 데이터 입력은 제 1 신호와 제 2 신호의 라이징 에지에 동기되어 각각 데이터가 래치되며, 제 2 신호의 폴링 시점에 데이터 입력 감지 증폭기로 전달된다.
- <40> 그런데, 종래 기술에서 설명한 바와같이, 포스트앰블후에 링잉 현상이 초래되는 경우, 링잉 현상으로 발생된 잘못된 DQS 신호의 라이징 및 폴링 에지에 동기되어, 마지막 DQS 신호(예컨대 도 1의 두번째 DQS 신호)의 폴링 에지에 동기되어 Din 래치(330)에 저장 및 정렬되어 있던 데이터(3, 4)는 오류 데이터(도 1의 5, 6)로 대체되는 경우가 초래된다.

- <41> 이러한 링잉 현상을 차단하기 위하여, 본 발명에서는 도 3에 도시된 바와같이, 링잉 현상 차단부(340)를 제공하고 있다. 링잉 현상 차단부(340)는 DQS 래치로부터 출력되는 DQS 신호의 폴링 에지가 발생하는 경우, 이를 수신하여 데이터 입력 래치인 Din 래치(330)의 동작을 제어하는 신호(Dis\_dqs)를 출력한다. 이 경우, Din 래치(330)는 제어 신호(Dis\_dqs)에 의하여 그 저장된 데이터를 변경하지 못한다. 또한, 링잉 현상 차단부(340)는 데이터 인 스트로브 펄스 신호(dinstbp) 또는 그와 동일한 타이밍 신호에 의하여 Din 래치(330)에 새로운 데이터가 인가될 수 있도록 한다.
- <42> 이하, 도 4를 참조하여 본 발명의 특징부인 링잉 현상 차단부(340)의 동작에 대하여 설명하기로 한다.
- <43> 도 4는 본 발명에 따른 링잉 현상 차단부의 일실시예이다.
- <44> 도 4에서, 딜레이 세트부(Delay\_Set)는 dsft2 신호를 수신하여 소정 시간 지연시키는 역할을 한다. 딜레이 세트부(Delay\_Set)에서의 지연 시간은 데이터 입력 래치에 저장된 데이터가 변경되지 않도록 하는 시간을 결정한다.
- <45> 딜레이 리세트부(Delay\_Re)는 데이터 인 스트로브 펄스 신호(dinstbp) 또는 그와 동일한 타이밍을 갖는 신호를 수신하여 링잉 현상 차단부의 출력신호(Dis\_dqs)를 리세트하는 역할을 한다. 딜레이 리세트부(Delay\_Re)에서의 지연 시간은 데이터 입력 래치가 새로운 데이터를 수신하여 저장하는 동작을 수행하는 시간을 결정한다.
- <46> 또한, 딜레이 펄스부(Delay\_P)는 입력되는 신호의 펄스 폭을 조절하는 기능을 한다.
- <47> 동작에 있어서, 딜레이 세트부(Delay\_Set)의 타이밍은 dsft2 신호가 유효 데이터를 정렬하여 래치할 때 까지의 시간으로 조정하여 dsft2 입력시 유효 데이터가 래치되도록 한다. 딜



레이 세트부(Delay\_Set)에 의하여 지연된 dsft2 신호는 링잉 현상 차단부의 출력 신호(Dis\_dqs)를 인에이블(참고, 도 5 에서 하이 레벨)시켜 데이터 입력 래치인 Din 래치(330)로 전송된다. 이 경우, Din 래치(330)에 저장된 데이터는 리세트 신호가 입력되기 전까지는 유효 데이터를 그대로 유지한다. 다음 데이터를 수신하기 위하여 Dis\_dqs 신호를 디스에이블시키려면 Din 래치(330)를 다시 리세트시키면 된다. Din 래치(330)의 리세트 동작은 dinstbp 신호 또는 그와 동일한 타이밍을 갖는 신호에 의하여 이루어진다. 여기서, 데이터 입력 래치에 저장된 데이터가 글로벌 입출력 라인으로 전달된 후에 Din 래치(330)에 대한 리세트 동작이 이루어지도록 딜레이 리세트부(Delay\_Re)의 타이밍을 조절하는 것이 바람직하다. 따라서, Dis\_dqs 신호에 의하여 Din 래치(330)에 대한 리세트 동작이 이루어지면, 데이터 입력 래치는 다음 데이터를 받아들여 래치할 수 있다.

<48> 도 5는 본 발명에 따른 링잉 현상 차단부의 제 2 실시예이고, 도 6은 본 발명에 따른 링잉 현상 차단부의 제 3 실시예로서, 당업자는 도 4에서 설명한 동작을 수행하는 링잉 현상 차단부를 다양하게 구현할 수 있을 것이다. 참고로, 도 5에 도시된 회로는 2 개의 입력신호가 부정 상태가 되는 것을 방지하고 2 개의 입력신호의 동작 타이밍을 내부적으로 조절하여 고주파수에서도 정상 동작할 수 있도록 구현되었으며, 도 6에 도시된 회로를 사용하는 경우 NMOS 트랜지스터와 PMOS 트랜지스터와 래치부를 이용하므로 회로 면적을 감소시킬 수 있다.

<49> 도 4 내지 도 6 에 도시된 링잉 현상 차단부의 딜레이부의 지연 시간을 조절함으로써, 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록하는 제어 신호(dis\_dqs)의 인에이블 구간을 제어 할 수 있다. 따라서, 당업자는 메모리 장치의 동작 주파수에 따라서 자유롭게 제어 신호(dis\_dqs)의 동작 타이밍 및 동작 구간을 조절함으로써, 타이밍 마아진을 확보할 수 있다.



- <50> 이하, 도 3 내지 6에 사용된 신호의 타이밍도를 도시한 도 7a, 7b 를 참조하여 본 발명에 따른 포스트앰블 링잉 현상 방지 방법을 설명한다. 참고로, 도 7a는  $t_{DQSS}$ 가  $0.75t_{CK}$  인 경우의 포스트앰블 링잉 현상 방지 방법을 나타내고, 도 7b는  $t_{DQSS}$ 가  $1.25t_{CK}$  인 경우의 포스트앰블 링잉 현상 방지 방법을 나타낸다.
- <51> 도 7a에서 알 수 있듯이, 링잉 현상 차단부(340)로부터 출력되는 제어 신호(Dis\_dqs)는 dsft2 신호에 의하여 하이 레벨로 인에이블된다. 제어 신호(Dis\_dqs)의 하이 레벨 구간(인에이블 구간)은 방어 구간으로서, 데이터 입력 래치인 Din 래치(330)에 저장된 데이터가 변경되지 않도록 하는 역할을 한다. 제어 신호(Dis\_dqs)의 로우 레벨 구간(디스에이블 구간)은 리세트 구간으로서 Din 래치(330)로 새로운 데이터가 인가될 수 있도록 한다. 도시된 바와같이, DQS 신호에 링잉 현상이 초래된 경우, 제어 신호(Dis\_dqs)는 인에이블 상태를 유지하고 있으므로, 데이터 입력 래치인 Din 래치(330)에 저장된 데이터는 안전하게 유지됨을 알 수 있다.
- <52>  $t_{DQSS}$ 가  $1.25t_{CK}$  인 경우의 포스트앰블 링잉 현상 방지 방법을 설명하는 도 7b의 경우도 도 7a의 경우와 사실상 동일하며, clkp4 는 dinstbp 신호와 동일한 타이밍 클락을 갖는 신호를 나타낸다. 참고로, 도 3 에서 알 수 있듯이, dinstbp 신호(즉, 도 7 의 clkp4 신호)의 라이징 에지에서 Din IOSA 에 저장된 데이터는 글로벌 입출력 라인으로 전달된다.
- <53> 상술한 바와같이, 본 발명에 따른 메모리 장치에서의 포스트앰블 링잉 현상 방지 방법은 유효한 데이터가 데이터 입력 래치에 저장되고 정렬된 경우, 링잉 현상 차단부를 이용하여 상기 정렬된 데이터가 바뀌지 않도록 하고, 데이터 인 스트로브 펄스 신호에 의하여 글로벌 입출력 라인으로 상기 데이터가 전송된 후에, 상기 데이터 입력 래치가 정상적으로 다음 데이터(새로운 데이터)를 수신할 수 있도록 한다. 즉, 본 발명은 라이트 동작시 포스트앰블 링잉 현상으로 비유효한 데이터가 메모리 셀에 라이트되는 것을 방지하기 위하여, 데이터 인 스트로브



펄스 신호를 이용하고 있으며, 또한 데이터 인 스트로브 펄스 신호가 인가되기 전에는 일정 시간동안 데이터 입력 래치에 저장된 데이터를 유지하도록 하고 있다. 또한, 본 발명의 기술적 사상은 일반적인 DDR SDRAM 이외에도 동일하게 적용될 수 있음을 당업자는 충분히 예측할 수 있을 것이다.

#### 【발명의 효과】

- <54> 이상에서 알 수 있는 바와같이, 본 발명에 따른 방법으로 포스트앰블의 링잉 현상에 의한 오동작을 방지하는 회로를 구성하는 경우, data rate 400MHz 이상의 고속 동작에서도 안정적으로 라이트 동작을 할 수 있으며, 또한, 도 7에서 알 수 있듯이,  $t_{DQSS}$ 가  $0.75t_{CK}$  내지  $1.25t_{CK}$  인 조건하에서 안정적인 라이트 동작을 수행할 수 있다.

**【특허청구범위】****【청구항 1】**

DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법에 있어서,

(a) 외부로부터 인가된 데이터를 데이터 버퍼를 통하여 데이터 입력 래치에 저장하고 정렬하는 단계;

(b)상기 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록 상기 데이터 입력 래치를 제어하는 단계;

(c) 상기 데이터 입력 래치에 저장된 데이터를 데이터 입출력 감지 증폭기로 전송하는 단계;

(d)상기 데이터 입출력 감지 증폭기에 전달된 데이터를 글로벌 입출력 라인으로 전달한 후에 상기 데이터 입력 래치가 새로운 데이터를 수신할 수 있도록 하는 단계로 이루어지는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 단계(b)에서, 상기 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록 상기 데이터 입력 래치를 제어하는 신호의 인에이블 구간을 제어 할 수 있는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

**【청구항 3】**

제 2 항에 있어서, 상기 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록 상기 데이터 입력 래치를 제어하는 신호는 DQS 신호의 폴링 에지에 동기되어 발생하는 신호에 의하여 발생하는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

**【청구항 4】**

DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법에 있어서,

(a) 외부로부터 인가된 데이터를 데이터 버퍼를 통하여 데이터 입력 래치에 저장하고 정렬하는 단계,

(b) 상기 데이터 입력 래치에 저장된 데이터가 데이터 입출력 감지 증폭기를 통하여 글로벌 입출력 라인으로 전달되기 전까지 상기 데이터 값을 유지할 수 있도록 상기 데이터 입력 래치를 제어하는 단계로 이루어지는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

**【청구항 5】**

제 4 항에 있어서, 상기 (b) 단계 후에, 상기 데이터 입력 래치는 새로운 데이터를 수신할 수 있는 상태로 되는 단계를 더 구비하는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

**【청구항 6】**

제 4 항 또는 제 5 항에 있어서, 상기 데이터 입력 래치에 저장된 데이터가 바뀌지 않도록 상기 데이터 입력 래치를 제어하는 신호의 인에이블 구간을 제어 할 수 있는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

**【청구항 7】**

DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법에 있어서,

(a) DQS 버퍼를 통하여 DQS 신호를 수신하고, 데이터 입력 버퍼를 통하여 복수개의 데이터를 수신하는 단계;

(b) 상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 DQS 래치에 저장하는 단계;

(c)상기 DQS 신호의 라이징 에지에 동기되어 제 1 신호를 발생시키고, 상기 DQS 신호의 폴링 에지에 동기되어 제 2 신호를 발생시키는 단계;

(d) 상기 제 1 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기복수개의 데이터중에서 첫번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;

(e)상기 제 2 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기복수개의 데이터중에서 두번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;

(f) 상기 제 2 신호의 폴링 에지에 동기되어 상기 데이터 입력 래치에 저장된 상기 첫번째 및 두번째 데이터를 데이터 입력 입출력 감지 증폭기로 전달하는 단계를 구비하며,

(g)상기 단계(e)에서의 상기 제 2 신호의 라이징 에지에 동기되어 발생하는 제어신호를 이용하여 상기 데이터 입력 래치의 동작을 제어하는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

#### 【청구항 8】

제 7 항에 있어서, 상기 제어 신호가 하이 레벨로 인에이블 상태를 유지하는 동안, 상기 DQS 래치의 동작을 차단하는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

#### 【청구항 9】

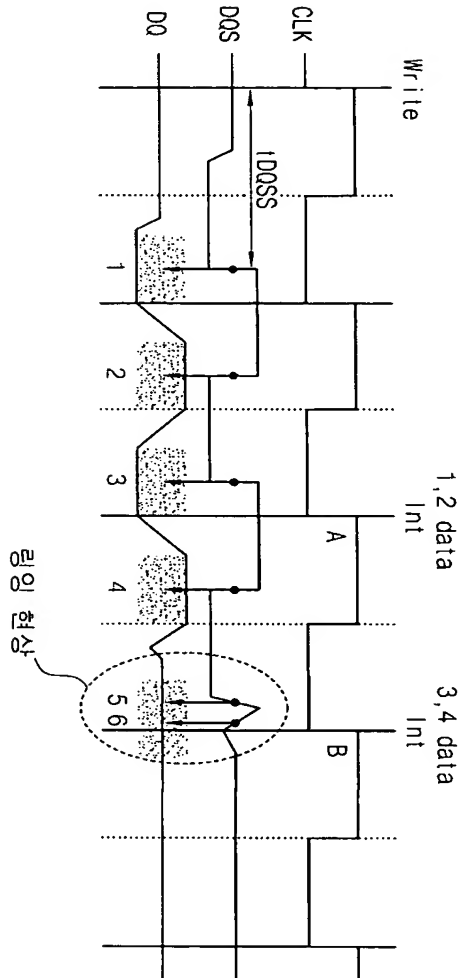
제 8 항에 있어서, 상기 제어 신호는 상기 데이터 입력 감지 증폭기를 인에이블시키는 데이터 입력 스트로브 펄스신호에 의하여 디스에이블되는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

## 【청구항 10】

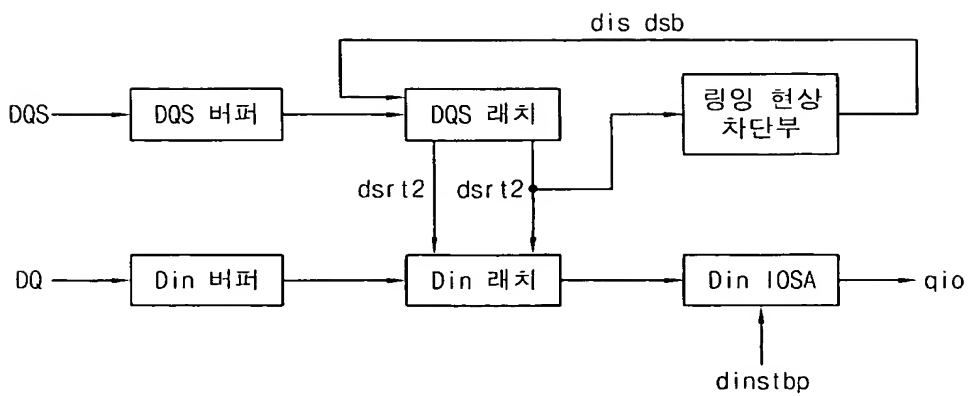
제 7 항에 있어서, 상기 제 2 신호의 라이징 에지에 동기되어 상기 제어 신호를 발생하  
는 링잉 현상 차단부는 자체의 지연 시간을 조절하여, 상기 제어 신호의 인에이블 구간을 조절  
할 수 있는 것을 특징으로 하는 DDR SDRAM에서의 포스트앰블 링잉 현상 방지 방법.

【도면】

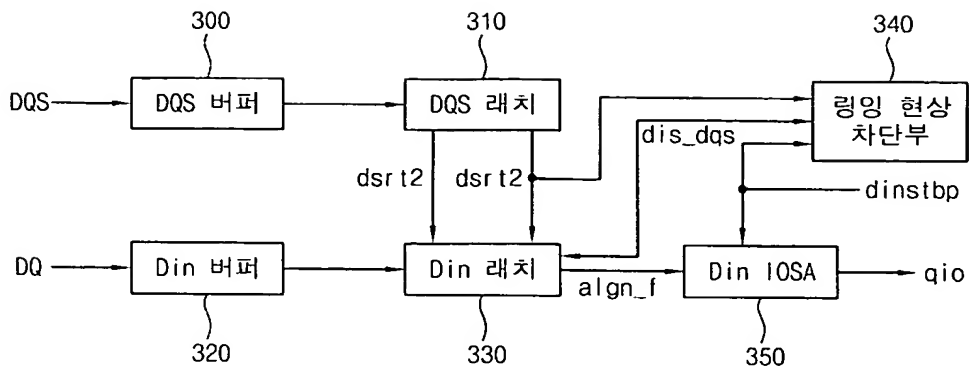
【도 1】



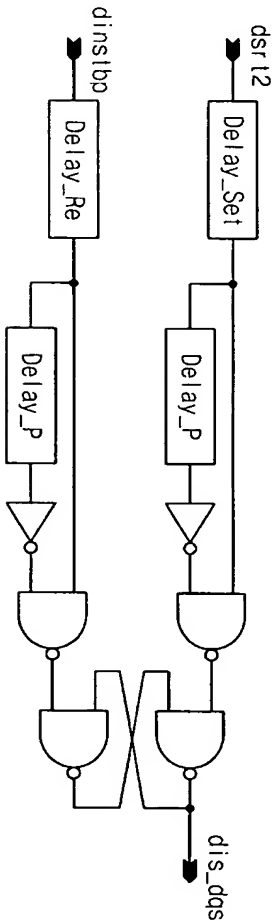
【도 2】



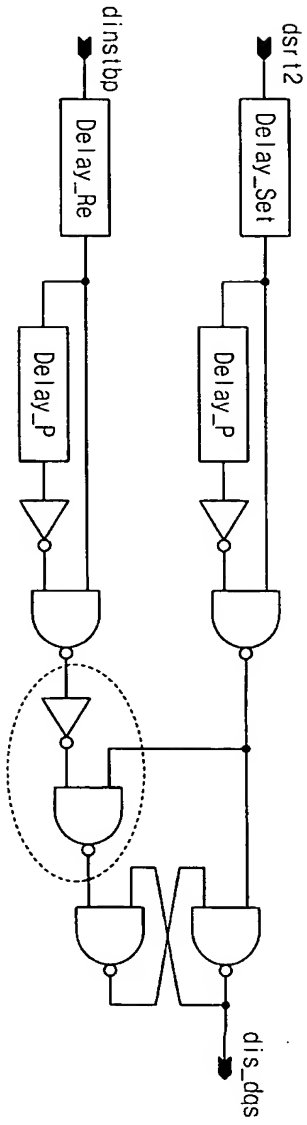
【도 3】



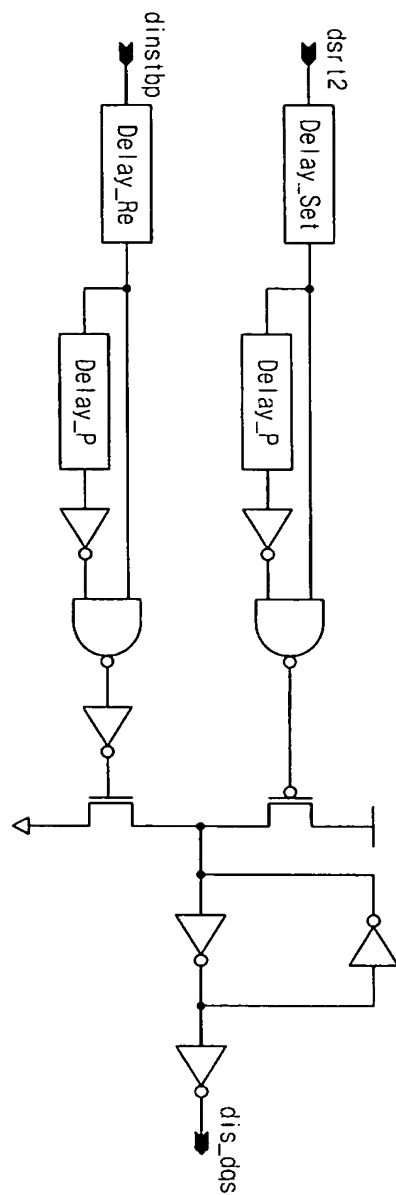
【도 4】



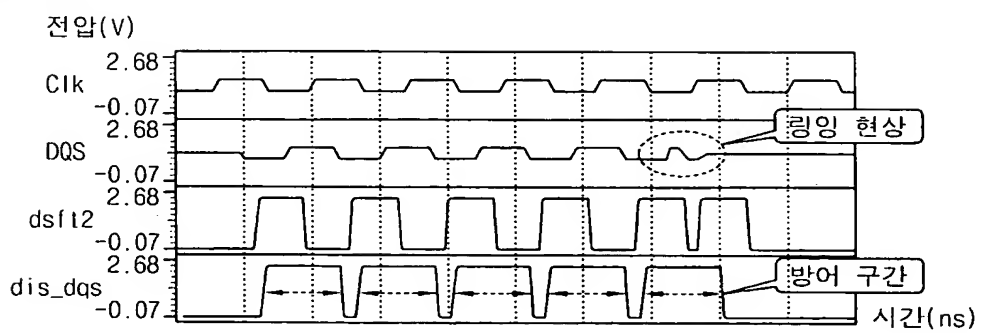
【도 5】



【도 6】



【도 7a】



【도 7b】

